

Liquid crystal display device having a storage capacitor

Patent Number: ☐ US5953085
Publication date: 1999-09-14
Inventor(s): SHIMADA SHINJI (JP)
Applicant(s): SHARP KK (JP)
Requested Patent: ☐ JP10153793
Application Number: US19970964853 19971105
Priority Number(s): JP19960311600 19961122
IPC Classification: G02F1/1343
EC Classification: G02F1/1362C, G02F1/1362H
Equivalents:

Abstract

A liquid crystal display device is provided which comprises a pair of substrates; a plurality of non-linear elements and associated bus lines for supplying electrical signals to the plurality of non-linear elements, the non-linear elements and the bus lines being formed on at least one of the substrates; a liquid crystal interposed between the pair of substrates; a first insulating film formed on the plurality of non-linear elements and the bus lines; and a storage capacitor electrode, a second insulating film and a pixel electrode formed on the first insulating film, the second insulating film has a higher dielectric constant than that of the first insulating film.

Data supplied from the esp@cenet database - 12

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10-153793

(43) 公開日 平成10年(1998)6月9日

(51) Int. Cl. ⁶	識別記号	F I
G 0 2 F	1/136 5 0 0	G 0 2 F 1/136 5 0 0
	1/1343	1/1343
H 0 1 L	29/786	H 0 1 L 29/78 6 1 2 Z
	21/336	

審査請求 未請求 請求項の数 4

O L

(全 5 頁)

(21) 出願番号 特願平8-311600

(22) 出願日 平成8年(1996)11月22日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 島田 伸二

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

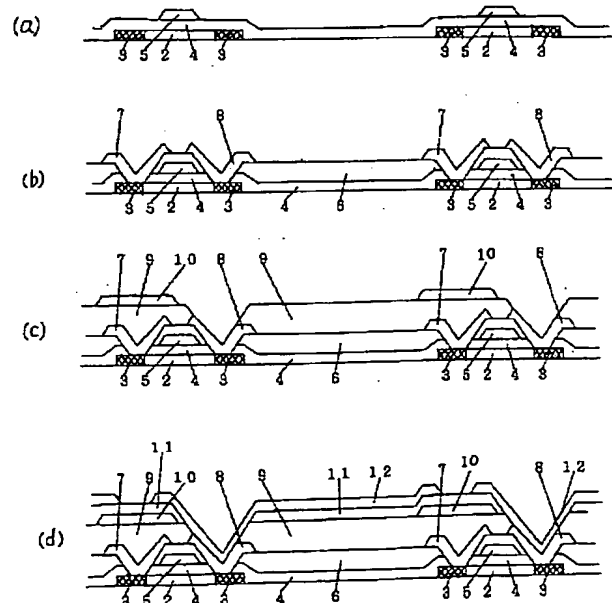
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 本発明は、付加容量を備える液晶表示装置の開口率を大きくし、かつ実質的な光透過率を低下させることがなく、付加容量電極と画素電極との短絡の発生頻度も低い液晶表示装置を得る。

【解決手段】 少なくとも一方の基板上に複数の非線形素子が形成された一対の基板間に液晶を挟持する液晶表示装置であって、非線形素子と、この非線形素子に電気信号を供給するバスライン上に低誘電率絶縁膜を形成し、この低誘電率絶縁膜上に付加容量電極、高誘電率絶縁膜、画素電極を形成する。ここで付加容量電極は不透明金属材料よりなり、前記非線形素子上に形成するのがよい。また低誘電率絶縁膜は有機絶縁材料よりなり、その比誘電率が3.5以下であり、高誘電率絶縁膜は無機絶縁材料よりなり、その比誘電率が3.5以上であることが望ましい。さらに低誘電率絶縁膜のガラス転移点が200℃以上である高分子化合物であるのが望ましい。



【特許請求の範囲】

【請求項 1】 少なくとも一方の基板上に複数の非線形素子が形成された一対の基板間に液晶を挟持する液晶表示装置において、前記非線形素子及び該非線形素子に電気信号を供給するバスライン上に低誘電率絶縁膜を形成し、該低誘電率絶縁膜上に付加容量電極、高誘電率絶縁膜、画素電極を形成したことを特徴とする液晶表示装置。

【請求項 2】 前記付加容量電極は不透明金属材料よりなり、前記非線形素子上に形成されたことを特徴とする前記請求項 1 記載の液晶表示装置。

【請求項 3】 前記低誘電率絶縁膜は有機絶縁材料よりなり、その比誘電率が 3.5 以下であり、前記高誘電率絶縁膜は無機絶縁材料よりなり、その比誘電率が 3.5 以上であることを特徴とする前記請求項 1 記載の液晶表示装置。

【請求項 4】 前記低誘電率絶縁膜のガラス転移点が 200℃以上である高分子化合物であることを特徴とする前記請求項 1 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、直視型、投射型などの表示用ディスプレイとして用いられる液晶表示装置に関し、特に付加容量を備えるアクティブマトリクス型液晶表示装置に関するものである。

【0002】

【従来の技術】液晶表示装置の各絵素電極にスイッチング素子を備えるアクティブマトリクス型液晶表示装置は、高精細、高密度表示が可能であることから、実用化されるとともに、更に高精細化、高密度化、大画面化に向けて活発に研究開発が行われている。

【0003】スイッチング素子を構成する半導体材料として、多結晶シリコン、非晶質シリコンを用いて薄膜トランジスタを構成したアクティブマトリクス型液晶表示装置の TFT 基板は、図 2 に示すように、互いに直交する複数本のゲートバスライン 41 (G1~Gn) とソースバスライン 42 (S1~Sm) との各交差部に薄膜トランジスタ 43 及び画素電極 44 を配置し、薄膜トランジスタ 43 のゲート電極をゲートバスライン 41 に接続し、ソース電極をソースバスライン 42 に接続し、ドレイン電極を画素電極 44 に接続して構成される。この TFT 基板と対向基板間に液晶を挟持し、画素電極 44 と対向基板上の共通電極 45 との間に液晶セル 46 が形成される。ゲートバスライン 41 にはゲートドライバ 47 より順次走査信号が印加されるとともに、ソースドライバ 48 より画像信号が供給され、薄膜トランジスタ 43 を介して個々の液晶セル 46 に画像信号が書き込まれる。そして、次のフレーム期間で書き換えられるまで、画素電極の電位は液晶セルの容量にホールドされる。

【0004】しかしながら、このホールド電位はゲート

電極とドレイン電極との間に形成される容量に対する電荷再配分のため負極側にレベルシフトを生じ、液晶セルに印加される電圧が正負両極性間で非対称となり、液晶に直流成分を印加し、表示フリッカの原因となる。またホールド期間中、薄膜トランジスタのソース・ドレイン間のリーク、液晶セルの抵抗成分を介した自己放電により画素電極のホールド電位が徐々に減衰する。このような問題は液晶表示装置の高精細化、画素電極の微細化により一層顕著になる。

【0005】上記問題を解決するため、液晶セルと並列に付加容量を設け電荷再配分によるレベルシフトを抑制すると同時に、実質的な画素容量を大きくして放電時定数を大きくし、ホールド電位の低下を防止している。付加容量の構造として、1 行前のゲートバスラインと画素電極を一部分重畳させる構造と、補助電極線を別途形成し、この補助電極線と画素電極との間に容量を形成する構造がある。前者は広開口率であるが、ゲートバスラインに印加される電位変動の影響を受ける欠点がある。後者は画素電位が安定しているが、開口率が小さくなり、表示の明るさが低くなる欠点がある。現在は表示画面が安定していることから、後者の構造が多く使用されている。

【0006】上記後者の構造で開口率を改善したものが、例えば特開平 5-216067 号公報に記載されている。この構造を図 3、図 4 に示す。図 3 は平面図を示し、図 4 は図 3 の A-B 断面図を示す。図 3、図 4 において、透明基板 51 に薄膜トランジスタを構成するシリコン半導体層 52 に、n 型又は p 型不純物がドーパされたポリシリコン領域 61、ゲート絶縁膜 53、ゲート電極 54、ソース電極 55、ドレイン電極 56 が形成され、ドレイン電極 56 に画素電極 57 が接続される。ゲート電極 54 と画素電極 57 との間には 2 層の絶縁層 58 と 60 が設けられ、第 1 の絶縁層 58 上にゲートバスライン 41 と平行に透明補助電極 59 が形成され、この透明補助電極 59 の上に第 2 の絶縁層 60 を介して画素電極 57 が形成される。したがって、透明補助電極 59 と画素電極 57 が重なり合う部分に補助容量 49 が形成される。この構造では、補助電極が透明材料であるから開口率を低下させない。

【0007】

【発明が解決しようとする課題】上記図 3、図 4 の構造の場合、透明補助電極 59 を形成する工程は、1000℃近い高温処理が行われるため、その下地の第 1 の絶縁層 58 にも 1000℃近い高温が加わり、絶縁層を破壊する恐れがある。また透明補助電極 59 は透明材料ではあるが、光吸収があり、実質的な光透過率を低下させる。また透明補助電極 59 と画素電極 57 は例えば ITO 等の同一材料が使用されるため、第 2 の絶縁層 60 の欠陥により、透明補助電極 59 と画素電極 57 の短絡が発生する恐れがある。

【0008】

【課題を解決するための手段】本発明は上記課題を解決するため、請求項1記載の発明は、少なくとも一方の基板上に複数の非線形素子が形成された一対の基板間に液晶を挟持する液晶表示装置において、前記非線形素子及び該非線形素子に電気信号を供給するバスライン上に低誘電率絶縁膜を形成し、該低誘電率絶縁膜上に付加容量電極、高誘電率絶縁膜、画素電極を形成したことを特徴とする。

【0009】また、請求項2記載の発明は、前記付加容量電極は不透明金属材料よりなり、前記非線形素子上に形成されたことを特徴とする。

【0010】また、請求項3記載の発明は、前記低誘電率絶縁膜は有機絶縁材料よりなり、その比誘電率が3.5以下であり、前記高誘電率絶縁膜は無機絶縁材料よりなり、その比誘電率が3.5以上であることを特徴とする。

【0011】さらに、請求項4記載の発明は、前記低誘電率絶縁膜のガラス転移点が200℃以上である高分子化合物であることを特徴とする。

【0012】本発明は、バスラインと付加容量電極間に低誘電率絶縁膜を形成しているため、バスライン容量を抑制することができ、かつ本発明では付加容量電極と画素電極との間に高誘電率絶縁膜を介在させているので、付加容量電極の面積を小さくしても付加容量を十分大きくすることができ、画素電極の部分に付加容量電極を形成しないことにより開口率を大きくすることができる。そして、付加容量電極と画素電極は異なる材質を使用するから、付加容量電極と画素電極との短絡の発生を抑制することができる。

【0013】また、本発明は付加容量電極に不透明金属材料を使用し、非線形素子上に形成するから、非線形素子の遮光膜として使用することができ、対向基板の遮光膜を不要にすることができる。

【0014】また本発明は、低誘電率絶縁膜を有機絶縁材料により構成しているため、長時間を要することなく、300℃以下のプロセス温度で数 μm の厚膜を任意の厚さに制御して形成することができ、かつその比誘電率が1以上、3.5以下であるから、バスラインの寄生容量を小さくすることが可能である。しかも低誘電率絶縁膜の表面の平坦化を実現することができる。さらに、高誘電率絶縁膜を無機絶縁材料により構成することにより、CVD法を用いて形成することが可能となり、ピンホールのない良質の絶縁膜をカバレッジよく形成することができ、膜厚を100nm程度まで薄膜化することが可能になり、かつその比誘電率が3.5以上、25以下であるから付加容量を大きくすることができる。しかも高誘電率絶縁膜に無機絶縁材料を使用することにより、画素電極を無機絶縁膜上に形成するため、画素電極をITOで形成する場合は、有機絶縁膜上に形成する場合に

比較してエッチングシフトを抑制することができる。

【0015】また本発明は、低誘電率絶縁膜のガラス転移点が200℃以上である高分子化合物を用いているから、カバレッジよく、ピンホールの少ない良質の薄膜を得ることができ、付加容量電極と画素電極間の短絡を防止することができる。

【0016】

【発明の実施の形態】図1は本発明の実施例を製造過程を工程順に説明する液晶表示装置の断面図を示す。この実施例において、まず最初に、ガラス基板1の上ガラス基板からの不純物が混入するのを防止する目的で、窒化シリコンあるいは酸化タンタルなどの絶縁膜よりなるベースコート膜を形成する。このベースコート膜は必要に応じて形成すればよく、図1には図示していない。このガラス基板上に、CVD法を用いてアモルファスシリコン膜を堆積する。このアモルファスシリコン膜にエキシマレーザを順次走査により照射して結晶化を行い、ポリシリコンとする。エキシマレーザを用いる以外に、焼成等の熱処理を行ってもよく、またレーザ照射と焼成等の熱処理と組み合わせ処理を行うことも可能である。次にポリシリコン膜をフォトリソグラフィによって画素電極のスイッチング素子を形成する箇所に、薄膜トランジスタを形成するのに必要な大きさ、形状に島状の半導体領域2をパターンニングする。ポリシリコンの島状の半導体領域2にCVD法により酸化シリコンよりなるゲート絶縁膜4を形成する。ゲート絶縁膜には窒化シリコンを用いることも可能である。この上にアルミニウム/シリコン合金膜を堆積し、フォトリソグラフィにより、ゲート電極5及びゲートバスライン（図示しない）の形状にパターンニングする。このゲート電極及びゲートバスラインは所定以下の導電率を有する導体を使用することが可能であり、例えばアルミニウム、タンタル、チタン、クロム、モリブデン、銅、ドーパされたシリコン、ITO、これらの合金を使用することが可能である。次にゲート電極5をマスクとして、島状の半導体領域にイオンドーピング装置によりソース領域及びドレイン領域にリンイオンをドーピングし、 n^+ 領域3を形成する。いわゆるセルフアライメントにより n^+ 領域3を形成する。 p^+ 領域を形成する場合にはボロンイオンをドーピングする。イオンドーピングの代わりに n^+ シリコンを堆積、パターンニングして用いることも可能である。以上の工程により形成された薄膜トランジスタを図1(a)に示す。

【0017】次に、CVD法により酸化シリコンの層間絶縁膜6を形成する。この層間絶縁膜6の n^+ 領域3の部分にフォトリソグラフィによってコンタクトホールを形成し、この上にアルミニウムの膜を堆積し、フォトリソグラフィによってソース電極7、ドレイン電極8とソースバスライン（図示しない）を所定の形状にパターンニングして形成する。ソース電極、ドレイン電極、ソ

ースバスラインは、例えばアルミニウム、タンタル、チタン、クロム、モリブデン、銅、ドーパされたシリコン、ITO、これらの合金を使用することが可能である。この状態を図1(b)に示す。

【0018】この上に、第1の層間絶縁膜となる低誘電率絶縁膜9を形成するため、ポリイミド樹脂を塗布し、フォトリソグラフィーを利用してドレイン電極8と後工程で形成する画素電極12を接続するコンタクトホールを形成する。層間絶縁膜となる低誘電率絶縁膜8には、有機絶縁膜を使用するのが望ましく、例えばアクリル、ポリアミドイミド、ポリアミド、その他種々の樹脂を使用することが可能である。しかし、後工程を考慮して200℃以下、できれば300℃以下にガラス転移点を有していないことが望ましい。またこの層間絶縁膜は、バスライン容量を低減する観点より比誘電率は1以上、3.5以下、膜厚は1μm以上、1mm以下であることが望ましい。次にチタンを常温乃至200℃で堆積し、薄膜トランジスタの上方で、かつ後工程で形成する画素電極の間に、付加容量電極10をフォトリソグラフィーによりパターンニングする。この状態を図1(c)に示す。付加容量電極10を画素電極12間に設け、不透明材料で構成することにより、薄膜トランジスタの遮光膜を構成することができ、対向基板の遮光膜を不要にすることができる。ここでチタン以外に、例えばアルミニウム、タンタル、クロム、モリブデン、銅、ドーパされたシリコンを使用することが可能である。さらに酸化チタンのように、黑色導電体を用いれば反射光を抑制することが可能であり、タンタルのように陽極酸化が可能な金属を使用すれば表面を陽極酸化し、酸化物を形成することにより、付加容量電極と画素電極との短絡を一層防止することができる。

【0019】その後、第2の層間絶縁膜として、高誘電率絶縁膜11を200～300℃の低誘電率絶縁膜および付加容量電極チタンを損傷しない温度で、CVD法により窒化シリコンを形成して、これにドレイン電極8と画素電極12の接続用コンタクトホールを形成するため、フォトリソグラフィーにより所定の形状にパターンニングする。この絶縁膜は酸化シリコンを使用して形成してもよいが、酸化シリコンの比誘電率が4程度であるのに対し、窒化シリコンの比誘電率は7程度であるため、窒化シリコンの方が、同一容量を形成する場合には膜厚を厚くすることができ、短絡の発生頻度を低くすることができる。したがって、この膜の比誘電率は3.5以上2.5以下で、膜厚は100nm～数μmであることが好ましい。付加容量を大きくする観点からは膜厚が薄い方がよいが、CVD法を用いて形成すれば、100nm程度でもピンホールがほとんどない良質の薄膜を得ることができる。このようにして、付加容量電極と画素電極との間に高誘電率絶縁膜を介在させているので、付加容量電極の面積を小さくしても付加容量を十分大きくするこ

とができ、画素電極の部分に付加容量電極を形成しないことにより開口率を大きくすることができる。次に、ITOを堆積し、画素電極12の形状にフォトリソグラフィーによりパターンニングした。この状態を図1(d)に示す。反射型液晶表示装置を構成する場合は、アルミニウムなどの金属でもよい。

【0020】以上のようにして薄膜トランジスタ、バスライン等を形成したTFT基板と、ITO電極を対向電極とする他方の基板にそれぞれ配向膜を形成し、所定の方向に配向処理を行い、スペーサを散布して一定の間隙を確保しながら両方の基板の周辺部をシール樹脂で貼り合わせ、両基板間に液晶を注入した後、注入口を封止し、液晶セルを完成する。貼り合わせ時に、対向電極と付加容量電極のコンタクトを取り、同一の端子から信号を入力して、同電位に駆動する。この液晶セルに偏光板を取り付け、液晶ドライバを実装し、駆動回路、その他装置と接続することで液晶表示装置を得た。ここで液晶ドライバや駆動回路はポリシリコン薄膜トランジスタにより画素電極のスイッチング用薄膜トランジスタと同一の基板上に形成してもよい。

【0021】上記実施例は、ガラス基板上のポリシリコンに薄膜トランジスタを形成したアクティブマトリクス型液晶表示装置を説明したが、アモルファスシリコンに非線形素子を形成したもの、石英基板上に薄膜トランジスタを形成したものも同様に適用可能である。

【0022】

【発明の効果】本発明は、バスラインと付加容量電極間に低誘電率絶縁膜を形成していることにより、バスラインの寄生容量を抑制することができ、付加容量電極と画素電極との間に高誘電率絶縁膜を介在させていることにより、付加容量を大きくすることができる。このようにして、付加容量電極と画素電極との間に高誘電率絶縁膜を介在させているので、付加容量電極の面積を小さくしても付加容量を十分大きくすることができ、画素電極の部分に付加容量電極を形成しないことにより開口率を大きくすることができる。また、本発明は、付加容量電極に不透明金属材料を使用し、非線形素子上に形成することにより、非線形素子の遮光膜として使用することができ、対向基板の遮光膜を不要にすることができる。また、本発明は、低誘電率絶縁膜を有機絶縁材料により構成することにより、長時間を要することなく、300℃以下のプロセス温度で数μmの厚膜を任意の厚さに制御して形成することができ、かつその比誘電率が3.5以下であるから、バスラインの寄生容量を小さくすることが可能である。しかも低誘電率絶縁膜の表面の平坦化を実現することができる。さらに、高誘電率絶縁膜を無機絶縁材料により構成することにより、CVD法を用いて形成することが可能となり、ピンホールのない良質の絶縁膜をカバレッジよく形成することができ、膜厚を100nm程度まで薄膜化することが可能になり、かつその

7

比誘電率が3.5以上であるから付加容量を大きくすることができる。しかも高誘電率絶縁膜に無機絶縁材料を使用することにより、画素電極を無機絶縁膜上に形成するため、画素電極をITOで形成する場合は、有機絶縁膜上に形成する場合に比較してエッチングシフトを抑制することができる。

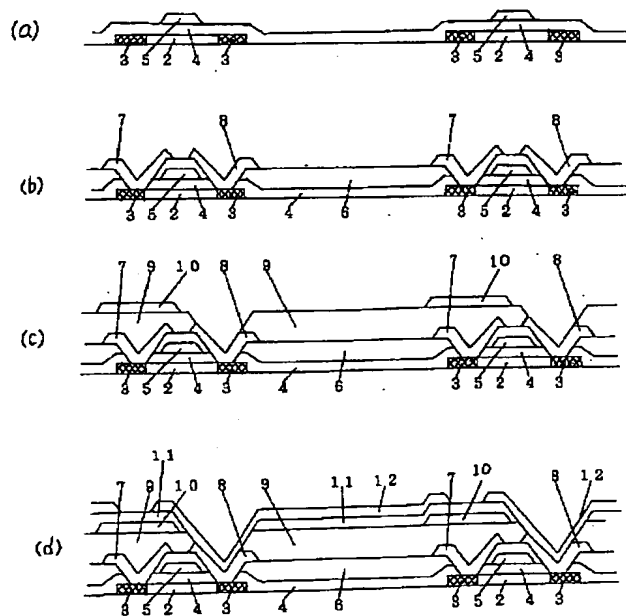
【0023】また本発明は、低誘電率絶縁膜のガラス転移点が200℃以上である高分子化合物を用いているから、カバレッジよく、ピンホールの少ない良質の薄膜を得ることができる。

【図面の簡単な説明】

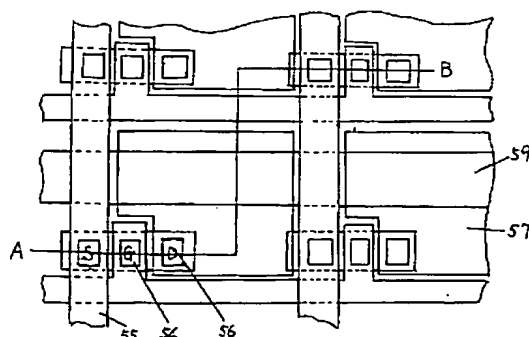
【図1】本発明の実施例を製造過程順に説明する断面図である。

【図2】液晶表示装置を構成する薄膜トランジスタアレイを説明する回路構成図である。

【図1】



【図3】



8

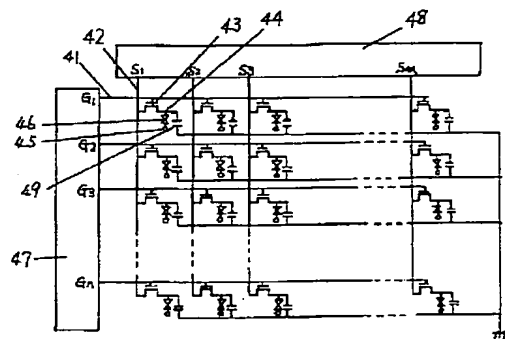
【図3】従来の液晶表示装置を説明する平面図である。

【図4】図2のA-B線断面図である。

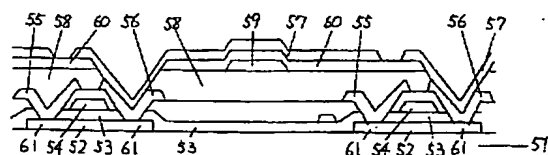
【符号の説明】

- 1 ガラス基板
- 2 半導体層領域
- 3 n⁺領域
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 層間絶縁膜
- 7 ソース電極
- 8 ドレイン電極
- 9 低誘電率絶縁膜
- 10 付加容量電極
- 11 高誘電率絶縁膜
- 12 画素電極

【図2】



【図4】



EPM TC 2800

FINAL SEARCH DATE 12/12/03

DELIVER TO GOVT DATE 3/13/03

THIS PAGE BLANK (USPTO)